

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60



[12] 发明专利申请公开说明书

[21] 申请号 01124256.6

[43] 公开日 2003 年 3 月 12 日

[11] 公开号 CN 1402346A

[22] 申请日 2001.8.20 [21] 申请号 01124256.6

[71] 申请人 旺宏电子股份有限公司

地址 中国台湾

[72] 发明人 苏 醒 赖纯祥 刘孟煌 卢道政

[74] 专利代理机构 北京纪凯知识产权代理有限公司

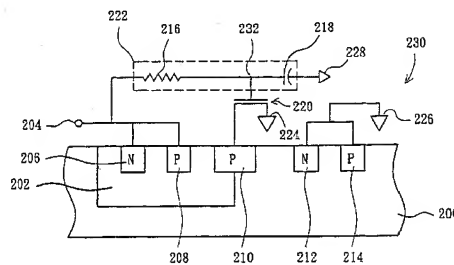
代理人 赵蓉民

权利要求书 4 页 说明书 9 页 附图 3 页

[54] 发明名称 静电放电保护装置

[57] 摘要

一种静电放电 (Electro - Static Discharge; ESD) 保护装置。本发明的静电放电保护装置是利用电阻电容 (Resistance Capacitance; RC) 电路来区分电源开启 (Power - On) 瞬间所引发的过冲 (Overshoot) 现象及静电放电事件, 以避免例如 P 型改进型横向晶闸管整流器 (Modified Lateral Silicon Controlled Rectifiers; MLSCR) 等静电放电保护组件在正常操作时, 因开启电源所导致的过冲现象而意外触发, 以提高静电放电保护组件的效用。



ISSN 1008-4274

1. 一种静电放电保护装置,用以保护一集成电路免于受静电放电事件伤害,该静电放电保护装置至少包括:

一改进型横向晶闸管整流器,与该集成电路电性连接;

一金属氧化物半导体晶体管,该金属氧化物半导体晶体管的漏极与该改进型横向晶闸管整流器电性连接;以及

一电阻电容电路,是由一电阻及一电容组成,且该电阻电容电路分别与该集成电路、该金属氧化物半导体晶体管的栅极、以及一第一接地节点电性连接,其中该电阻电容电路是用以在正常操作的一激活电压进入该静电放电保护装置时,将该激活电压导入该金属氧化物半导体晶体管,以开启该金属氧化物半导体晶体管,并将该改进型横向晶闸管整流器的一电流经由该金属氧化物半导体晶体管的源极导入一第二接地节点,以在该正常操作下提高该改进型横向晶闸管整流器的一触发电压,并区分该静电放电事件及该正常操作。

2. 根据权利要求1所述的静电放电保护装置,其特征在于:该改进型横向晶闸管整流器为P型。

3. 根据权利要求1所述的静电放电保护装置,其特征在于:该改进型横向晶闸管整流器为N型。

4. 根据权利要求1所述的静电放电保护装置,其特征在于:该电阻的一端与该集成电路电性连接。

5. 根据权利要求4所述的静电放电保护装置,其特征在于:该电阻的另一端与该电容的一端及该金属氧化物半导体晶体管的该栅极电性连接。

6. 根据权利要求5所述的静电放电保护装置,其特征在于:该电容的另一端与该第一接地节点电性连接。

7. 根据权利要求1所述的静电放电保护装置，其特征在于：该金属氧化物半导体晶体管的该源极与该第二接地节点电性连接。

8. 根据权利要求1所述的静电放电保护装置，其特征在于：该电阻电容电路的时间常数的范围为微秒。

9. 一种静电放电保护装置，是用以保护一集成电路免于受一静电放电事件伤害，且该静电放电保护装置至少包括：

一 P 型改进型横向晶闸管整流器，至少包括：

一 P 型基材；

一 N 阱，形成于该 P 型基材中；

一第一 N 型掺杂区，形成于该 N 阱内，且该第一 N 型掺杂区与该集成电路电性连接；

一第一 P 型掺杂区，形成于该 N 阱内，且该第一 P 型掺杂区与该集成电路电性连接；

一第二 P 型掺杂区，形成于该 P 型基材与该 N 阱之间，且该第二 P 型掺杂区与一金属氧化物半导体晶体管的一漏极电性连接；

一第二 N 型掺杂区，形成于该 P 型基材内，且该第二 N 型掺杂区与一第一电位节点电性连接；以及

一第三 P 型掺杂区，形成于该 P 型基材内，且该第三 P 型掺杂区与该第一电位节点电性连接；以及

一电阻电容电路，是由一电阻及一电容组成，且该电阻电容电路分别与该集成电路、该金属氧化物半导体晶体管的栅极、以及一第二电位节点电性连接，其中该电阻电容电路是用以在正常操作的一激活电压进入该静电放电保护装置时，将该激活电压导入该金属氧化物半导体晶体管，以开启该金属氧化物半导体晶体管，并将该 P 型改进型横向晶闸管整流器的一电流经由该第二 P 型掺杂区与该金属氧化物半导体晶体管的一源极导入一第三电位节点，以在该正常操作下提高该 P 型改进型横向晶闸管整流器的一触发电压。

10. 根据权利要求1所述的静电放电保护装置，其特征在于：该电

阻的一端与该集成电路电性连接。

11. 根据权利要求 10 所述的静电放电保护装置，其特征在于：该电阻的另一端与该电容的一端及该金属氧化物半导体晶体管的该栅极电性连接。

12. 根据权利要求 11 所述的静电放电保护装置，其特征在于：该电容的另一端与该第二电位节点电性连接。

13. 根据权利要求 9 所述的静电放电保护装置，其特征在于：该金属氧化物半导体晶体管的该源极与该第三电位节点电性连接。

14. 根据权利要求 9 所述的静电放电保护装置，其特征在于：该电阻电容电路的时间常数的范围为微秒。

15. 根据权利要求 9 所述的静电放电保护装置，其特征在于：该第一电位节点、该第二电位节点、以及该第三电位节点为接地节点。

16. 一种静电放电保护装置，是用以保护一集成电路免于受一静电放电事件伤害，且该静电放电保护装置至少包括：

一 N 型改进型横向晶闸管整流器，至少包括：

一 P 型基材；

一 N 阱，形成于该 P 型基材中；

一第一 N 型掺杂区，形成于该 N 阱内，且该第一 N 型掺杂区与该集成电路电性连接；

一第一 P 型掺杂区，形成于该 N 阱内，且该第一 P 型掺杂区与该集成电路电性连接；

一第二 N 型掺杂区，形成于该 P 型基材与该 N 阱之间，且该第二 N 型掺杂区与一金属氧化物半导体晶体管的一漏极电性连接；

一第三 N 型掺杂区，形成于该 P 型基材内，且该第三 N 型掺杂区与一第一接地节点电性连接；以及

一第二 P 型掺杂区，形成于该 P 型基材内，且该第二 P 型掺杂区与该第一接地节点电性连接；以及

一电阻电容电路，是由一电阻及一电容组成，且该电阻电容电路分别与该集成电路、该金属氧化物半导体晶体管的栅极、以及一第二接地节点电性连接，其中该电阻电容电路是用以在正常操作的一激活电压进入该静电放电保护装置时，将该激活电压导入该金属氧化物半导体晶体管，以开启该金属氧化物半导体晶体管，并将该 N 型改进型横向晶闸管整流器的一电流经由该第二 N 型掺杂区与该金属氧化物半导体晶体管的源极导入一第三接地节点，以在该正常操作下提高该 N 型改进型横向晶闸管整流器的一触发电压。

17. 根据权利要求 16 所述的静电放电保护装置，其特征在于：该电阻的一端与该集成电路电性连接。

18. 根据权利要求 17 所述的静电放电保护装置，其特征在于：该电阻的另一端与该电容的一端及该金属氧化物半导体晶体管的该栅极电性连接。

19. 根据权利要求 18 所述的静电放电保护装置，其特征在于：该电容的另一端与该第二接地节点电性连接。

20. 根据权利要求 16 所述的静电放电保护装置，其特征在于：该金属氧化物半导体晶体管的该源极与该第三接地节点电性连接。

静电放电保护装置

技术领域

本发明是有关于一种静电放电(Electro-Static Discharge; ESD)保护装置,特别是有关于一种利用电阻电容(Resistance Capacitance; RC)电路来区隔电源开启 (Power-On)瞬间所引发的过冲(Overshoot)现象及静电放电事件(Event)的具改进型横向晶闸管整流器(Modified Lateral Silicon Controlled Rectifiers; MLSCR)的静电放电保护装置。

背景技术

当两个不导电物体接触与分离时,都有可能会引起电子的转移,而使得这两个不导电物体产生额外的电荷,此额外产生的电荷即为静电。而当物体上所累积的静电对电位相对较低的物体放电时,便产生静电放电现象。一般,静电放电的产生可分为直接型及间接型两大类,其中直接型是指物体与经由摩擦产生电荷的另一带电物体直接接触,间接型则指物体本身因四周的电荷产生变化而感应起电。

然而,当带有静电的物体接触到集成电路(Integrated Circuit; IC)的金属管脚(Pin)时,所产生的瞬间高压放电会经由金属管脚影响内部电路。由上述可知,静电放电的损害为造成电子系统失效的主要潜在因素之一。另一方面,由于金属氧化物半导体(Metal Oxide Semiconductor; MOS)晶体管组件具有高输入阻抗的特性,因此特别易受静电放电的影响而受损。随着半导体的日益复杂,亚微米工艺与极小线宽对瞬间过压的敏锐度亦随之提高,仅需约 15 伏特至约 20 伏特左右的电压,便会对金属氧化物半导体的栅极氧化层造成伤害,但静电放电脉冲的峰值却常高达数千伏特。因此,为提高电子组件的可靠度,需在电子组件内加入静电放电保护组件,以避免因静电放电现象而造成电子组件损坏。

目前,静电放电保护组件包括电阻器(Resistor)、二极管(Diode)、具有薄氧化层的金属氧化物半导体、具有厚氧化层的组件、寄生双极结型晶体管(Parasitic Bipolar Junction Transistor; PBJT)、寄生横向晶闸管整流器以及上述组件的组合等。以下所述为利用 P 型改进型横向晶

闸管整流器当作静电放电保护电路的操作原理。

请参照图 1,其所绘示为现有具 P 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图。P 型基材 100 上形成有 N 阱 102、N 型掺杂区 112、P 型掺杂区 114、以及 P 型掺杂区 110,而 N 阱 102 内还包括 N 型掺杂区 106 及 P 型掺杂区 108,且 P 型掺杂区 110 位于 N 阱 102 与 P 型基材 100 之间。其中,位于 N 阱 102 内的 P 型掺杂区 108 为此 P 型改进型横向晶闸管整流器 118 的阳极,而位于 P 型基材 100 内的 N 型掺杂区 112 则为此 P 型改进型横向晶闸管整流器 118 的阴极。

P 型改进型横向晶闸管整流器 118 可视为两个双极晶体管,即 P 型掺杂区 108、N 阱 102、以及 P 型基材 100 构成一 PNP 晶体管,而 N 阱 102、P 型基材 100、以及 N 型掺杂区 112 则构成一 NPN 晶体管。此 P 型改进型横向晶闸管整流器 118 的操作原理如下所述,且请一并参照图 2,其所绘示为现有 P 型改进型横向晶闸管整流器的操作电流 I 电压 V 曲线图。将 N 型掺杂区 112 连接至接地节点 116,且 P 型基材 100 接地后,施加一电压在集成电路的焊垫 104 上。当逐渐增加所施加的电压时,空穴将从 P 型掺杂区 108 射入 N 阱 102,而产生一正向偏压(Forward Bias)开启 PNP 晶体管。此时,电流流经 PNP 晶体管进入 P 型基材 100,而对 NPN 晶体管施加此正向偏压,亦使得 NPN 晶体管开启,进而产生电子流流向 NPN 晶体管,最后流经阴极而接地。流向 PNP 晶体管的电子流对其提供了一正向偏压,因此便不需再提供 PNP 晶体管偏压,此时的电压称为触发电压 V_T ,且所施加的电压逐渐降低至一最小电压值,此最小电压值即为维持电压 V_H 。

由上述可知,当静电放电所释放的电压大过晶闸管整流器的触发电压时,晶闸管整流器可将静电所释放的电荷导走,而保护组件避免因静电放电而受损。然而,当晶闸管整流器受到例如开启电源瞬间所引发的过冲现象的意外触发时,由于静电放电的作用时间远小于电源开启的作用时间,且电源开启后,便不断地供应电压 V_p ,但因晶闸管整流器将电源开启事件误判为静电放电事件,导致晶闸管整流器为配合供应电压 V_p ,电流 I 便持续攀升,使得晶闸管整流器因过热而烧毁,如图 3 所示。

鉴于上述现有静电放电保护装置的改进型横向晶闸管整流器的触

发电压与所欲区隔的电压，例如激活电源的过冲现象所引发的电压，差距不大，常使得静电放电保护装置无法有效地区分电源开启瞬间的过冲现象与静电放电事件，而导致改进型横向晶闸管整流器受到不当触发，进而造成静电放电保护装置的损坏。

发明内容

本发明的主要目的在于提供一种静电放电保护装置，本发明是在例如具 P 型改进型横向晶闸管整流器的静电放电保护装置上加入电阻电容电路，且调整电阻电容的时间常数，使其介于静电放电的脉冲时间与正常工作的电源开启时间，以区隔静电放电事件及电源开启瞬间的过冲现象，而避免因晶闸管整流器的意外触发伤害静电放电保护组件。

本发明的另一目的在于提供一种静电放电保护装置，本发明加入电阻电容电路在例如具 P 型改进型横向晶闸管整流器的静电放电保护装置中，且调整电阻电容的时间常数，使其介于静电放电的脉冲时间与正常工作电源开启的时间，因此可迫使大部分晶闸管整流器内的电流流向基材，而降低晶闸管整流器的触发电压，避免因意外激活而受损，进而提高静电放电保护组件的效率。

为了达到上述目的，本发明提供了一种静电放电保护装置，用以保护一集成电路免于受静电放电事件伤害，该静电放电保护装置至少包括：一改进型横向晶闸管整流器，与该集成电路电性连接；一金属氧化物半导体晶体管，该金属氧化物半导体晶体管的漏极与该改进型横向晶闸管整流器电性连接；以及一电阻电容电路，是由一电阻及一电容组成，且该电阻电容电路分别与该集成电路、该金属氧化物半导体晶体管的栅极、以及一第一接地节点电性连接，其中该电阻电容电路是用以在正常操作的一激活电压进入该静电放电保护装置时，将该激活电压导入该金属氧化物半导体晶体管，以开启该金属氧化物半导体晶体管，并将该改进型横向晶闸管整流器的一电流经由该金属氧化物半导体晶体管的源极导入一第二接地节点，以在该正常操作下提高该改进型横向晶闸管整流器的一触发电压，并区分该静电放电事件及该正常操作。

本发明的目的还可采用另一技术方案达到，一种静电放电保护装

置, 是用以保护一集成电路免于受一静电放电事件伤害, 且该静电放电保护装置至少包括: 一 P 型改进型横向晶闸管整流器, 至少包括: 一 P 型基材; 一 N 阱, 形成于该 P 型基材中; 一第一 N 型掺杂区, 形成于该 N 阱内, 且该第一 N 型掺杂区与该集成电路电性连接; 一第一 P 型掺杂区, 形成于该 N 阱内, 且该第一 P 型掺杂区与该集成电路电性连接; 一第二 P 型掺杂区, 形成于该 P 型基材与该 N 阱之间, 且该第二 P 型掺杂区与一金属氧化物半导体晶体管的一漏极电性连接; 一第二 N 型掺杂区, 形成于该 P 型基材内, 且该第二 N 型掺杂区与一第一电位节点电性连接; 以及一第三 P 型掺杂区, 形成于该 P 型基材内, 且该第三 P 型掺杂区与该第一电位节点电性连接; 以及一电阻电容电路, 是由一电阻及一电容组成, 且该电阻电容电路分别与该集成电路、该金属氧化物半导体晶体管的栅极、以及一第二电位节点电性连接, 其中该电阻电容电路是用以在正常操作的一激活电压进入该静电放电保护装置时, 将该激活电压导入该金属氧化物半导体晶体管, 以开启该金属氧化物半导体晶体管, 并将该 P 型改进型横向晶闸管整流器的一电流经由该第二 P 型掺杂区与该金属氧化物半导体晶体管的一源极导入一第三电位节点, 以在该正常操作下提高该 P 型改进型横向晶闸管整流器的一触发电压。

换言之, 本发明的静电放电保护装置主要是由改进型横向晶闸管整流器、金属氧化物半导体晶体管、以及电阻电容电路所构成, 而此改进型横向晶闸管整流器包括 P 型基材、形成于 P 型基材内的 N 阱、N 阱内的第一 N 型掺杂区与第一 P 型掺杂区、位于 N 阱与 P 型基材之间的第二 P 型掺杂区、以及 N 阱外的第二 N 型掺杂区与第三 P 型掺杂区。其中, 电阻电容电路的时间常数设计成微秒(μs)即 10^{-6} 秒级, 且第一 N 型掺杂区及第一 P 型掺杂区与焊垫连接, 第二 N 型掺杂区与第三 P 型掺杂区则接地。当一静电放电事件发生时, 由于静电放电脉冲时间极快, 属毫微秒(Nano-Second; NS)即 10^{-9} 秒级, 因此电阻电容电路反应不及, 导致与电阻电容电路连接的金属氧化物半导体晶体管的栅极电位近似于零, 而使得金属氧化物半导体晶体管处于关闭状态, 使改进型横向晶闸管整流器维持正常触发电压。然而, 当正常操作时, 由于正常激活的时间属毫秒(Milli-Second; MS)即 10^{-3} 秒级, 因此电阻

电容电路能将正常激活的电压导至金属氧化物半导体晶体管的栅极，而将金属氧化物半导体晶体管开启，以使得部分的电流经由第二 P 型掺杂区流入金属氧化物半导体晶体管而接地，进而提高改进型横向晶闸管整流器的触发电压。

应用本发明的静电放电保护装置可降低改进型横向晶闸管整流器的静电放电事件的触发电压，且可提高改进型横向晶闸管整流器的正常激活的触发电压，随着触发事件的不同，两种情况的触发电压的差距变大，因此可有效区隔静电放电事件与正常激活事件，而达到提高静电放电保护组件的效率的目的。

本发明的优点为提供一种静电放电保护装置，是以改良型横向晶闸管整流器当作静电放电保护组件，并加入电阻电容电路与金属氧化物半导体晶体管，以增加静电放电事件与正常操作激活事件的触发电压差距，而能有效区隔静电放电事件与正常操作激活事件。因此，运用本发明可避免静电放电保护组件因正常激活的过冲现象而受到意外触发，并可避免静电放电保护组件因意外触发而受损，进而可提高静电放电保护的效能。

附图说明

下面结合附图及实施例对本发明进行详细说明：

图 1 为绘示现有具 P 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图；

图 2 为绘示现有具 P 型改进型横向晶闸管整流器的静电放电保护装置的操作电流电压曲线图；

图 3 为绘示现有具 P 型改进型横向晶闸管整流器的静电放电保护装置遭受不当触发时的电流电压曲线图；

图 4 为绘示本发明的一较佳实施例的具 P 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图；以及

图 5 为绘示本发明的另一较佳实施例的具 N 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图。

图中符号说明：

100	P 型基材	102	N 阱
104	焊垫	106	N 型掺杂区

108	P 型掺杂区	110	P 型掺杂区
112	N 型掺杂区	114	P 型掺杂区
116	接地节点		
118	P 型改进型横向晶闸管整流器		
200	P 型基材	202	N 阱
204	焊垫	206	第一 N 型掺杂区
208	第一 P 型掺杂区	210	第二 P 型掺杂区
212	第二 N 型掺杂区	214	第三 P 型掺杂区
216	电阻	218	电容
220	金属氧化物半导体晶体管	222	电阻电容电路
224	接地节点	226	接地节点
228	接地节点		
230	P 型改进型横向晶闸管整流器		
232	节点	300	P 型基材
302	N 阱	304	焊垫
306	第一 N 型掺杂区	308	第一 P 型掺杂区
310	第二 N 型掺杂区	312	第三 N 型掺杂区
314	第二 P 型掺杂区	316	电阻
318	电容	320	金属氧化物半导体晶体管
322	电阻电容电路	324	接地节点
326	接地节点	328	接地节点
330	N 型改进型横向晶闸管整流器		
332	节点	I	电流
V	电压	V _H	维持电压
V _T	触发电压		

具体实施方式

静电放电保护电路的功能是在于当静电放电事件产生时，且在静电放电脉冲对所保护的电路造成伤害之前，先提供适当的路径让其通过，以避免所欲保护的电路。然而，静电放电保护电路本身亦需具备可处理静电放电脉冲所携带的能量的能力，才不致在引导静电放电脉冲的同时，对其自身造成伤害。此外，静电放电保护电路必须加以设

计,使其在静电放电事件发生时,才会受到触发,否则可能会影响所欲保护的组件的电性稳定度,甚至会造成静电放电保护电路本身的损害,降低其效能。因此,为避免静电放电保护电路受到例如电源激活的过冲现象所引发的不正常激活,本发明提供一种静电放电保护装置,来区隔静电放电事件与正常操作的开启动作。

请参照图 4,其所绘示为本发明的一较佳实施例的具 P 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图。此静电放电保护装置主要包括 P 型改进型横向晶闸管整流器 230、金属氧化物半导体晶体管 220、以及电阻电容电路 222,其中 P 型改进型横向晶闸管整流器 230 包括 P 型基材 200、形成于 P 型基材 200 内的 N 阱 202、N 阱 202 内的第一 N 型掺杂区 206 与第一 P 型掺杂区 208、位于 N 阱 202 与 P 型基材 200 之间的第二 P 型掺杂区 210、以及 N 阱 202 外的第二 N 型掺杂区 212 与第三 P 型掺杂区 214。

本发明的设计是将电阻电容电路 222 的时间常数设定为微秒(μs)级,其中电阻电容电路 222 是由电阻 216 与电容 218 所构成,且电阻 216 的一端电性连接至集成电路的焊垫 204,电阻 216 的另一端则电性连接至节点 232,而电容 218 的一端电性连接至节点 232,电容 218 的另一端则与接地节点 228 连接。此外,第一 N 型掺杂区 206 及第一 P 型掺杂区 208 与焊垫 204 电性连接,且金属氧化物半导体晶体管 220 的栅极与电阻电容电路 222 的节点 232 电性连接,金属氧化物半导体晶体管 220 的源极与接地节点 224 连接,金属氧化物半导体晶体管 220 的漏极则电性连接至 P 型改进型横向晶闸管整流器 230 的第二 P 型掺杂区 210,而第二 N 型掺杂区 212 及第三 P 型掺杂区 214 则与接地节点 226 连接。

当静电放电事件发生,即静电应力进入此静电放电保护装置时,由于静电放电脉冲时间属毫微秒级,速度极快,导致电阻电容电路 222 反应不及,而造成与电阻电容电路 222 电性连接的金属氧化物半导体晶体管 220 的栅极电位近似于零,使金属氧化物半导体晶体管 220 处于关闭状态,进而维持 P 型改进型横向晶闸管整流器 230 的正常触发电压。另一方面,当静电放电保护装置处于正常操作时,正常激活的作用时间属毫秒级,因此电阻电容电路 222 能将正常激活的电压引导

至金属氧化物半导体晶体管 220 的栅极，而开启金属氧化物半导体晶体管 220，并使部分电流经由第二 P 型掺杂区 210 流过金属氧化物半导体晶体管 220 而接地，进而造成 P 型改进型横向晶闸管整流器 230 的触发电压增加。

请参照图 5，其所绘示为本发明的另一较佳实施例的具 N 型改进型横向晶闸管整流器的静电放电保护装置的剖面示意图。此静电放电保护装置同样与集成电路的焊垫 304 电性连接，且包括金属氧化物半导体晶体管 320 及由电阻 316 与电容 318 构成的电阻电容电路 322，所不同的是此晶闸管整流器为 N 型改进型横向晶闸管整流器 330。其中，N 型改进型横向晶闸管整流器 330 包括 P 型基材 300、形成于 P 型基材 300 内的 N 阱 302、N 阱 302 内的第一 N 型掺杂区 306 与第一 P 型掺杂区 308、位于 N 阱 302 与 P 型基材 300 之间的第二 N 型掺杂区 310、以及 N 阱 302 外的第三 N 型掺杂区 312 与第二 P 型掺杂区 314。因此，可知此 N 型改进型横向晶闸管整流器 330 是将 P 型改进型横向晶闸管整流器 230 的第二 P 型掺杂区 210 以 N 型掺杂区(即为第二 N 型掺杂区 310)置换而形成，亦可应用在本发明的静电放电保护装置中，其操作原理的描述如下。

如同具 P 型改进型横向晶闸管整流器 230 的静电放电保护装置的设计，将由电阻 316 与电容 318 所构成电阻电容电路 322 的时间常数设定为微秒(μs)级，其中电阻 316 的一端与集成电路的焊垫 304 电性连接，电阻 316 的另一端则与节点 332 电性连接，且电容 318 的一端电性连接至节点 332，而电容 318 的另一端则连接至接地节点 328。此外，第一 N 型掺杂区 306 及第一 P 型掺杂区 308 与焊垫 304 电性连接，且金属氧化物半导体晶体管 320 的栅极与电路电容电路 322 的节点 332 电性连接，金属氧化物半导体晶体管 320 的源极与接地节点 324 连接，金属氧化物半导体晶体管 320 的漏极则电性连接至 N 型改进型横向晶闸管整流器 330 的第二 N 型掺杂区 310，而第三 N 型掺杂区 312 及第二 P 型掺杂区 314 则与接地节点 326 连接。

同样地，当静电放电保护装置遭受静电放电事件时，由于静电放电脉冲时间速度极快，使电阻电容电路 322 无法对此静电放电脉冲产生反应，而造成与电阻电容电路 322 的节点 332 电性连接的金属氧化

物半导体晶体管 320 的栅极电位接近零, 使金属氧化物半导体晶体管 320 处于关闭状态, 并导致 N 型改进型横向晶闸管整流器 330 维持正常的触发电压。另一方面, 当静电放电保护装置处于正常操作时, 正常激活的作用时间属毫秒级, 因此电阻电容电路 322 能将正常激活的电压经由节点 332 导引至金属氧化物半导体晶体管 320 的栅极, 以开启金属氧化物半导体晶体管 320, 并使部分电流经由第二 N 型掺杂区 310 流过金属氧化物半导体晶体管 320 而接地, 进而增加 N 型改进型横向晶闸管整流器 330 的触发电压。

综上所述, 可知本发明的静电放电保护装置在不同的触发事件中, 可调整改进型横向晶闸管整流器的触发电压, 使其在两种情况下的触发电压的差距加大, 因此可有效地区隔出静电放电事件与正常激活事件的不同, 使静电放电保护的效能更为提高。

如本领域的技术人员所了解的, 以上所述仅为本发明的较佳实施例而已, 并非用以限定本发明的保护范围; 凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰, 均应包含在权利要求书的范围内。

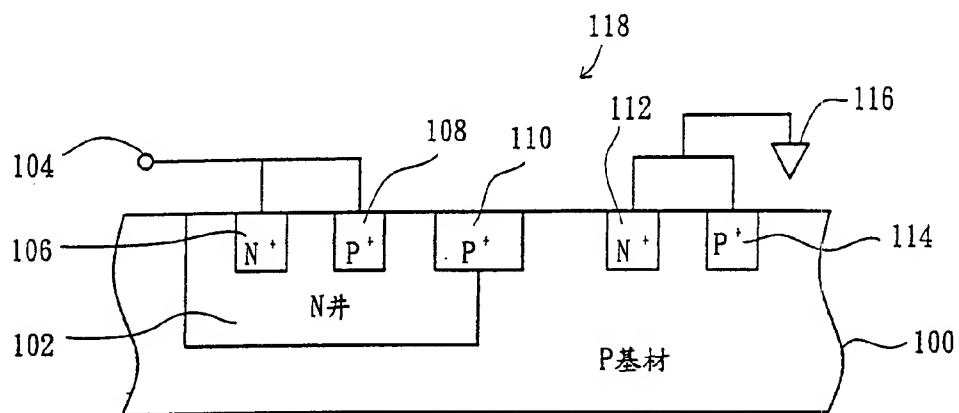


图 1

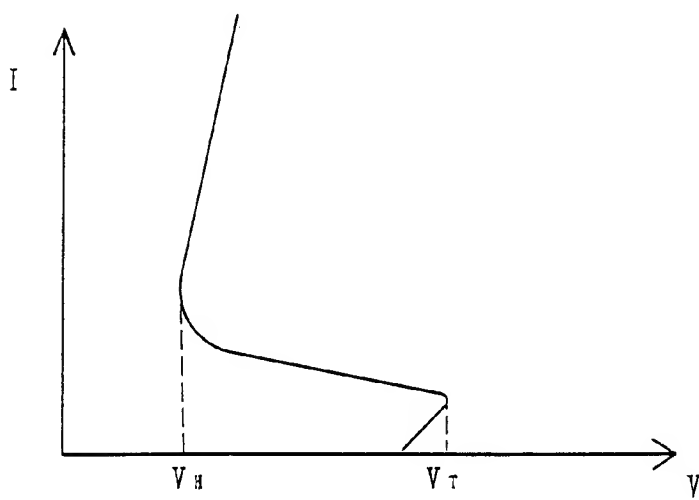


图 2

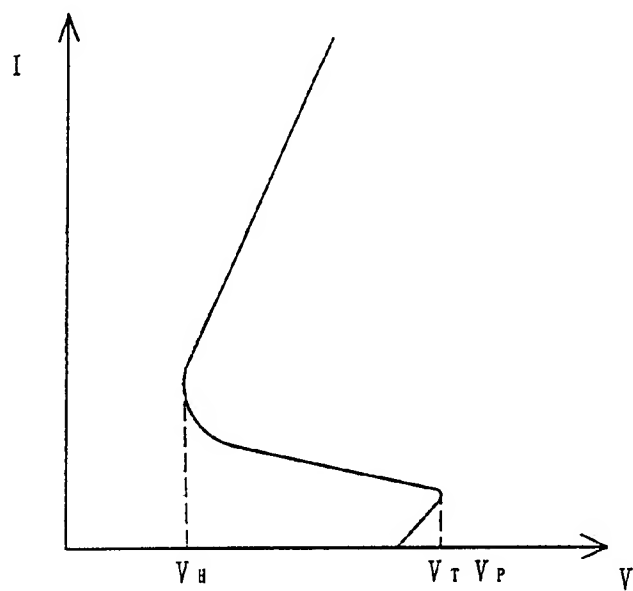


图 3

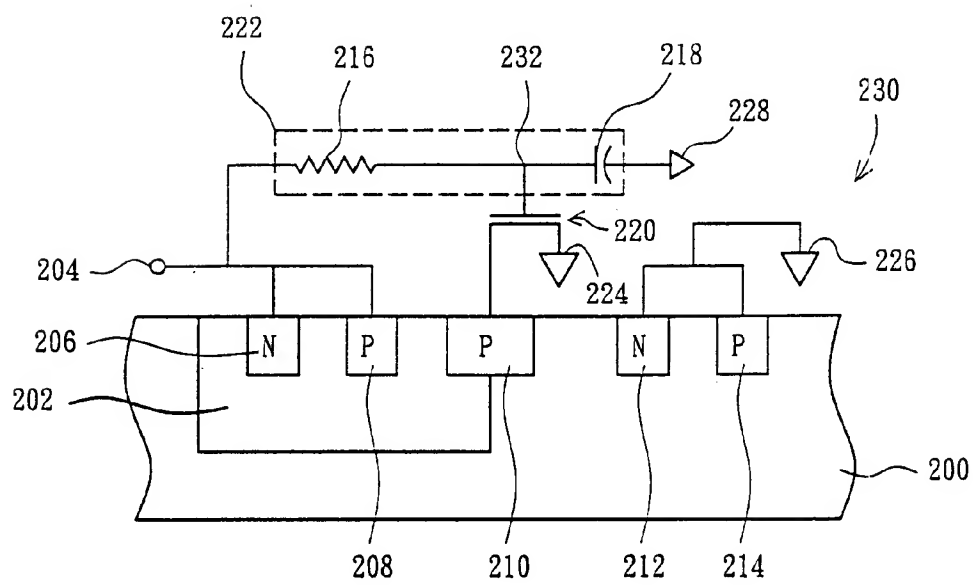


图 4

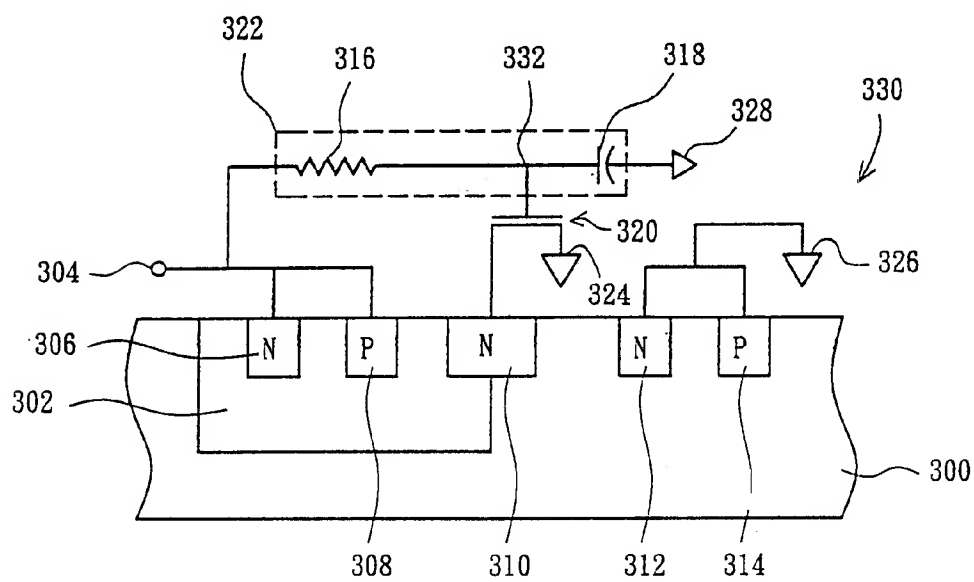



图 5

Electrostatic discharge protection device

Publication number: CN1402346 (A)

Also published as:

Publication date: 2003-03-12

 CN1190841 (C)

Inventor(s): SU XING [CN]; LAI CHUNXIANG [CN]; LIU MENGHUANG [CN]

Applicant(s): WANGHONG ELECTRONICS CO LTD [CN]

Classification:

- international: **H01L23/60; H01L23/58;** (IPC1-7): H01L23/60

- European:

Application number: CN20011024256 20010820

Priority number(s): CN20011024256 20010820

Abstract of **CN 1402346 (A)**

The invented electro-static discharge (ESD) protection device utilizes the resistance-capacitance (RC) circuit to distinguish between the overshoot phenomenon caused at the moment of the power and the event of static discharge. Thus for example, the ESD protection device ensures the normal operation of the modified lateral silicon controlled rectifiers (MLSCR), prevents the MLSCR from the unexpected triggering caused by the overshoot at the moment of the power on so as to increases the effectiveness of he ESD protection device.

Data supplied from the **esp@cenet** database — Worldwide